

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-303234

(43)公開日 平成4年(1992)10月27日

(51)Int.Cl.  
G 0 6 F 5/00  
13/38

著別記号 原内登録番号  
E 9189-5B  
S 3 0 Z 7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-91598

(22)出願日

平成3年(1991)3月29日

(71)出願人 000005013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小守 伸宏

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

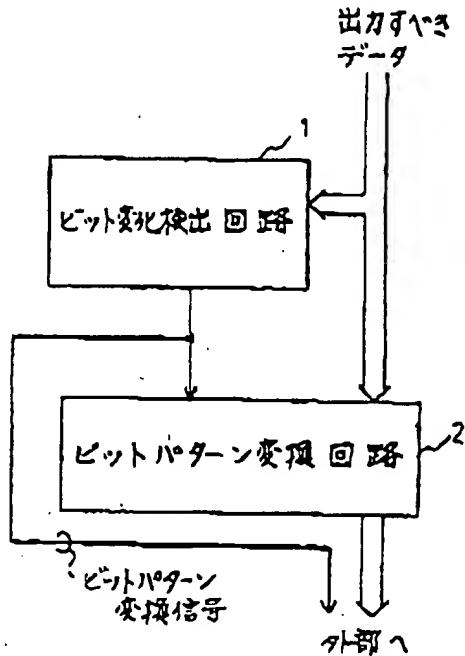
(74)代理人 弁理士 宮園 純一

(54)【発明の名称】データ転送方式

(57)【要約】

【目的】 同時スイッチング・ノイズが生じる多ビット並列データの効率的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できるデータ転送方式を得る。

【構成】 ビット変化検出回路1は、現在出力しているデータと次に出力すべきデータをビット単位に比較してビット変化量が設定値以上か否かを検出し、設定値以上のとき有効となるビットパターン変換信号を出力する。ビットパターン変換回路2は、上記ビットパターン変換信号が有効の時は次に出力すべきデータを全ビット反転することによりビット変化量の少ないビットパターンに変換して出力し、有効でない時はそのまま出力する。そして、この出力にビットパターン変換信号1ピットを付加して転送する。転送先では、ビットパターン変換信号1ピットを含む転送データを取り込み、ビットパターン変換信号が有効であれば、内部で全ビットを反転させて本来のデータに戻す。



(2)

特開平4-303234

2

## 【特許請求の範囲】

【請求項1】複数ビットの転送データを並列に出力するデータ転送方式において、現在出力しているデータと次に出力するデータをピット単位に比較してピット変化量が設定値以上か否かを検出するピット変化検出手段と、この検出出力に基づき、ピット変化量が設定値以上の時は次に出力するデータをピット反転によりピット変化量の少ないビットパターンに変換して出力し、ピット変化量が設定値より少ない時はそのまま出力するピットパターン変換手段と、このピットパターン変換手段の出力データに上記ピット変化検出手段の検出出力を付加して転送するようにしたことを特徴とするデータ転送方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、複数ビットの転送データを並列に出力するデータ転送方式に関するものである。

## 【0002】

【従来の技術】ICパッケージ間等で複数ビットのデータを並列に転送する場合、「トランジスタ技術 S P E C I A L N o . 2 2」(CQ出版株式会社、1990年7月1日発行)のpp34~49に詳細に述べられているように、パッケージの出力段における同時スイッチング・ノイズと呼ばれる問題が生じ、転送データにエラーが発生する。この同時スイッチング・ノイズは、データ処理及び半導体技術の進展に伴って、マイクロプロセッサに代表されるようにデータのビット幅の拡大や転送速度の高速化が進むに従って大きな問題となってきている。しかし、この問題をハードウェア技術により根本的に解決する技術は未だ見いだされていない。

## 【0003】

【発明が解決しようとする課題】従来のこの種のデータ転送方式では、以上のように、多ビット並列データの転送時、同時スイッチング・ノイズが生じて転送データにエラーが発生しやすく、信頼性に問題があった。従って、信頼性を向上するため、転送レートをエラーの生じない程度に低く抑えたり、エラー訂正符号を付加したりすることにより対処していた。なお、エラー訂正符号は、その訂正能力を高くするために付加する校正ビット数を多くしなければならないために、実効的な転送レートをかなり低下させる。

【0004】従って、この発明は、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できるデータ転送方式を得ることを目的とする。

## 【0005】

【課題を解決するための手段】この発明に係るデータ転送方式は、現在出力しているデータと次に出力するデータをピット単位に比較してピット変化量が設定値以上か

否かを検出するピット変化検出手段と、この検出出力に基づき、ピット変化量が設定値以上の時は次に出力するデータをピット反転によりピット変化量の少ないビットパターンに変換して出力し、ピット変化量が設定値より少ない時はそのまま出力するピットパターン変換手段とを備え、このピットパターン変換手段の出力データに上記ピット変化検出手段の検出出力を付加して転送するようにしたものである。

## 【0006】

【作用】この発明においては、ピット変化量が多く全ビット数の過半数を占めるような時には、出力に先立って、例えば全ビットを反転させてピット変化量の少ないビットパターンに変換し、その旨を示す変化検出出力1ビットを付加して出力する。転送先では、その変化検出出力1ビットを含む転送データを読み込み、変化検出出力1ビットがピット反転を示していれば、内部で全ビットを反転させて本来のデータに戻すことにより、以降の処理を正常に行うことができる。これにより、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できる。

## 【0007】

【実施例】以下、この発明の一実施例を図について説明する。図1は、この発明が適用されたマイクロプロセッサ等の出力段の構成例を示すブロック図である。図において、1は現在出力しているデータと次に出力するデータをピット単位に比較してピット変化量が設定値以上か否かを検出するピット変化検出回路であり、ピット変化量が設定値以上の場合は検出出力である1ビットのピットパターン変換信号を有意とする。2は上記ピットパターン変換信号が有意の時は次に出力すべきデータを全ビット反転することによりピット変化量の少ないピットパターンに変換して出力し、ピットパターン変換信号が有意味でない時はそのまま出力するピットパターン変換回路である。上記ピット変化検出回路1から出力されるピットパターン変換信号はピットパターン変換回路2に入力されると共に、ピットパターン変換回路2の出力データに付加されて外部へ転送される。なお、ピット変化量が多いか少ないかを判定するための設定値は、全ビット数の半数以上であれば有効であり、本発明を適用する対象に応じて、どのくらいのピット変化量により同時スイッチング・エラーが生じるかを考慮して決められるべきものである。

【0008】図2は、上記図1の具体的構成例を示す回路図であり、ここでは64ビット幅の場合を示している。図において、1.1、1.2はそれぞれ入出力データをラッチする64ビット幅のラッチ、1.3はラッチ1.2の出力、すなわち現在出力しているデータと、ラッチ1.1の出力、すなわち次に出力するデータをピット単位に比較する比較器であり、各対応ビットを比較する64個のEXOR(排他的論理和)ゲートにより構成することが

(3)

特開平4-303234

できる。Tr1～Tr64は64個並列接続され、上記比較器13の各ビット出力により制御されるPMOSトランジスタであり、一端が電源に接続され、他端がブルダウン抵抗14に接続されている。15は上記PMOSトランジスタTr1～Tr64とブルダウン抵抗14の接続点の電位を入力とするインバータであり、これにより、図1のビット変換検出回路1が構成されている。また、入出力に受けられたラッチ11、12同にはビットパターン変換回路2が設けられている。そして、前記インバータ15の出力がビット変換検出回路1の検出出力であるビットパターン変換信号として、ビットパターン変換回路2に入力されると共に、ラッチ12の出力データに付加されて外部に出力される。すなわち、転送データは64ビット+1ビットの65ビットとなる。なお、ビットパターン変換回路2は、各ビット毎にインバータを挿入した経路とインバータを挿入していない経路をセレクタを介して並列に設けており、ビットパターン変換符号が有りの時はインバータを挿入した経路を選択し、有りでない時にはインバータを挿入していない経路を選択するようして容易に実現できる。また、ビット変化量の多少を判定するためのビット数の設定値は、上記ブルダウン抵抗14の値を適用対象に合わせて調整することにより設定することができる。

【0009】次に、上記実施例の動作について説明する。まず、現在出力しているデータと次に出力するデータのビット変化量が設定値より少ない場合は、図2において、EXORゲートで構成された比較器13の各出力に「0」のビットが多くなって、オンするトランジスタTr1が多くなるので、ブルダウン抵抗14との接続点の電位は高い状態にあり、インバータ15の出力であるビットパターン変換信号は「0」のままで有りとはならない。従って、ビットパターン変換回路2は変換を行わず、次に出力するデータをそのままスルーさせる。これにより、転送先には、ビットパターン変換を行っていない本来のデータ64ビットと、その旨を示す値「0」のビットパターン変換信号1ビットが転送される。転送先では、ビットパターン変換符号1ビットを含む転送データを取り込み、ビットパターン変換信号がビット反転を示していないので、ビット反転処理は行わない。

【0010】一方、ビット変化量が設定値以上の場合は、図2において、比較器13の各出力に「1」のビットが多くなって、オンするトランジスタTr1が少なくなるので、ブルダウン抵抗14との接続点の電位は低くなり、インバータ15の出力であるビットパターン変換信号は「1」となって有りとなる。従って、ビットパターン変換回路2は、次に出力するデータに全ビットを反転させるビットパターン変換を施して出力する。これにより、転送先には、ビットパターン変換を行ったデータ64ビットと、その旨を示す値「1」のビットパターン変換信号1ビットが転送される。転送先では、ビットバタ

ーン変換信号1ビットを含む転送データを取り込み、ビットパターン変換信号がビット反転を示しているので、ビット反転処理を行って本来のデータに戻す。このように、同時変化ビットが多く、一定のビット数を超えた場合、同時変化の少ないビットパターンに変換した後に転送することにより、実効的な転送レートを低下させることなく、信頼性の高い転送を実現することができる。

【0011】図3は、図1の他の具体的構成例を示す回路図であり、図2のものとは比較器13から後の構成が異なる。すなわち、図2ではアナログ回路を用いたものであり、図3では2ビットから7ビットの加算器を図示のように階層的に接続して、全てをデジタル回路で構成したものである。これにより、2入力の一方に「-32」が入力される最終段の加算器出力の最上位ビットが「0」ならば、32ビット以上、すなわち半数以上のビットが反転することを示しており、この最上位ビットをインバータ15を介してビットパターン変換信号とし、ビットパターン変換回路2と転送先に送るようにしたものである。また、最上位ビットとともに他のビットも組合せて判定することにより、ビット変化量が多いか少ないか決める設定値を適用対象に合わせて任意に設定することができ、図2の実施例と同様な効果が得られる。

【0012】なお、上記実施例では、ビットパターン変換を全ビット反転により行うものとしたが、データ転送エラーの生じないビット変化量に余裕があるような場合には奇数または偶数番目のビットのみを反転するようにしてもよい。

【0013】また、本発明の具体的構成例を示した図2及び図3の回路は、アナログ回路を用いて構成する場合と全てデジタル回路で構成する場合の一実施例を示したもので、本発明はこれに限定されるものでないことは言うまでもない。

【0014】また、上記実施例では、本発明を全出力ビットに対して一括して適用する例を示したが、出力ビットを例えば物理的に近接した複数のブロックに分割し、それぞれのブロックについて独立に実施してもよい。複数のブロックに分割することにより、1個のビット変換検出回路の対象となるビット数が少なくなり、処理速度の向上を図ることができる。さらに、物理的に近接した出力バッファを1つのブロックとすることにより、電気特性的に最も問題となる「物理的に近接した出力バッファの同時スイッチング」に対してきめ細かく対処することができる。本発明の効果をより確実にすることが可能であり、本発明の効果をより確実にすることが可能である。

【0015】

【発明の効果】以上のように、この発明によれば、現在出力しているデータと次に出力するデータをビット単位に比較してビット変化量が設定値以上か否かを検出するビット変換検出手段と、この検出出力に基づき、ビット変化量が設定値以上の時は次に出力するデータをビット

(4)

特開平4-303234

6

反転によりビット変化量の少ないビットパターンに変換して出力し、ビット変化量が設定値より少ない時はそのまま出力するビットパターン変換手段とを備え、このビットパターン変換手段の出力データに上記ビット変換検出手段の検出力を付加して転送するようにしたので、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現することができる。

## 【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック構成図である 10

る。

【図2】図1の具体的構成例を示す回路図である。

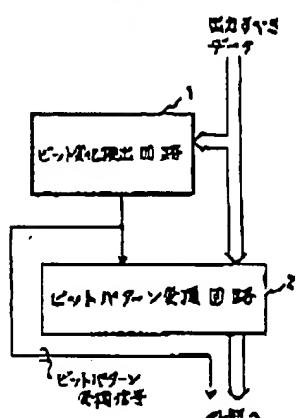
## 【符号の説明】

- 1 ビット変化検出手段 (ビット変化検出手段)
- 2 ビットパターン変換回路 (ビットパターン変換手段)

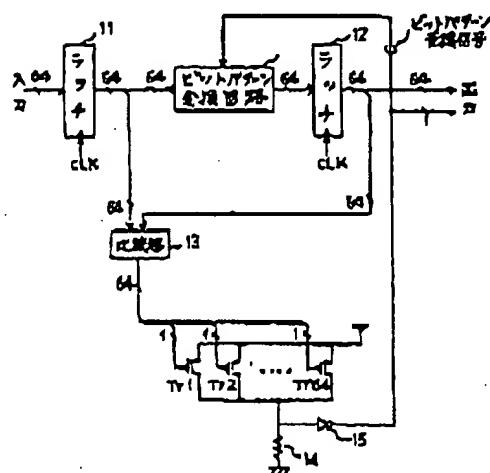
1.1. 1.2 ラッチ

1.3 比較器

【図1】



【図2】



(5)

特開平4-303234

【図3】

